



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0021036
Application Number

출원 년 월 일 : 2003년 04월 03일
Date of Application APR 03, 2003

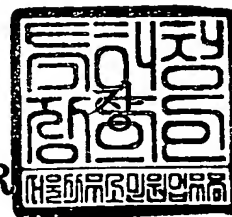
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.04.03
【국제특허분류】	H01L
【발명의 명칭】	금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 및 그 제조방법
【발명의 영문명칭】	Dual damascene interconnects including metal-insulator-metal capacitor and fabricating method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	이경우
【성명의 영문표기】	LEE, Kyoung Woo
【주민등록번호】	730807-1804827
【우편번호】	150-778
【주소】	서울특별시 영등포구 신길4동 삼성아파트 102-202
【국적】	KR
【발명자】	
【성명의 국문표기】	이수근
【성명의 영문표기】	LEE, Soo Geun
【주민등록번호】	670717-1929411

【우편번호】 442-707
【주소】 경기도 수원시 팔달구 망포동 벽산아파트 117-1602
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 13 면 13,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 29 항 1,037,000 원
【합계】 1,079,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

금속-절연체-금속(MIM) 커패시터를 포함하는 이중 다마신 배선 구조 및 그 제조방법을 개시한다. 본 발명에서는 비아 레벨 금속간 절연막(IMD) 상에 금속-절연체-금속 커패시터를 형성하는데, 비아 레벨 금속간 절연막 형성 후 금속-절연체-금속 커패시터 패터닝을 위한 얼라인 키(align key)를 형성하는 동안에 금속-절연체-금속 커패시터의 하부전극과 비아 레벨 금속간 절연막 하부의 배선을 연결시키기 위한 비아홀을 형성하고, 금속-절연체-금속 커패시터의 상부전극은 이중 다마신 공정 진행시 상부 금속 배선과 직접 연결한다. 본 발명에 의하면, 이중 다마신 공정을 그대로 유지하면서 마스크의 추가 사용없이 금속-절연체-금속 커패시터를 제조할 수 있으며, 신뢰성이 향상된 이중 다마신 배선 구조를 얻을 수 있다.

【대표도】

도 10

【명세서】**【발명의 명칭】**

금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 및 그 제조방법{Dual damascene interconnects including metal-insulator-metal capacitor and fabricating method thereof}

【도면의 간단한 설명】

도 1과 도 2는 종래에 비아를 이용하여 금속-절연체-금속 커패시터의 전극과 배선을 연결하는 구조이다.

도 3은 종래 금속-절연체-금속 커패시터와 AlCu 배선 구조이다.

도 4 내지 도 10은 본 발명의 일 실시예에 따른 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 및 그 제조방법을 설명하기 위한 공정 단면도들이다.

도 11 내지 도 13은 본 발명의 다른 실시예에 따른 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 및 그 제조방법을 설명하기 위한 공정 단면도들이다.

도 14 내지 도 16은 본 발명의 또 다른 실시예들에 따른 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조를 보이는 단면도들이다.

도 17은 본 발명의 또 다른 실시예에 따른 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조를 보이는 단면도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <7> 본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 특히 금속-절연체-금속 (metal-insulator-metal : MIM) 커패시터를 포함하는 이중 다마신(dual damascene) 배선 구조 및 그 제조방법에 관한 것이다.
- <8> 반도체 소자의 속도를 향상시키기 위해서, 저항이 작은 배선과 유전율이 작은 금속간 절연막(inter metal dielectric : IMD)을 사용하여 RC 지연을 감소시키기 위한 노력이 지속되고 있다. 구리로 된 배선은 종래의 알루미늄 배선에 비해 저항이 작고, 전기 이동(electromigration)에 대한 저항이 커서 반도체 소자의 신뢰성을 향상시킬 수 있을 뿐만 아니라, 소비전력이 작고 저렴하여 배선 재료로써 각광받고 있다.
- <9> 그러나 구리는 식각이 잘 안 되는 물질이라서, 원하는 배선 모양으로 패터닝하기가 매우 어렵다. 따라서, 금속간 절연막을 패터닝하여 배선 모양의 홈을 미리 형성한 다음에, 홈 안에 구리를 채우고 나서 화학 기계적 연마(Chemical Mechanical Polishing : CMP) 등으로 금속간 절연막과 동일한 평면이 되게 평탄화시키는 다마신 방법이 이용된다. 특히 비아홀과 그 상부에 증착되는 도선 트렌치를 모두 형성해 놓은 상태에서, 한번의 구리 증착으로 비아홀과 도선 트렌치를 채우고 나서 평탄화시킴으로써 비아와 도선을 한꺼번에 형성하는 이중 다마신 방법이 널리 이용되고 있다. 이것과 비교하여, 다마신 방법에 의하되 비아를 형성한 위에 도선을 따로 형성하는 경우에 그 각각의 공정을 단일 다마신(single damascene)이라고 한다.

- <10> 한편, 종래 커패시터의 상-하부전극으로 사용하던 폴리실리콘과 달리 전극의 자체 공핍이 없으며 저항값이 낮은 금속을 사용하는 금속-절연체-금속 커패시터가 많이 연구되고 있다. 그런데 종래에 이중 다마신 배선을 형성하면서 배선 구조 내에 금속-절연체-금속 커패시터를 형성하는 방법과 구조에서는, 이중 다마신 공정의 변형이 불가피하며 제조 공정이 복잡해지는 문제가 있다.
- <11> 도 1과 도 2는 종래에 비아를 이용하여 금속-절연체-금속 커패시터의 전극과 배선을 연결하는 구조이다. 이러한 구조의 특징은 비아 레벨 금속간 절연막을 형성하기 전에 금속-절연체-금속 커패시터를 형성하며 금속-절연체-금속 커패시터의 전극과 배선을 비아를 통해 연결하는 것이다. 그러나 이렇게 비아를 통해 전극과 배선을 연결할 경우에는 도면에 나타낸 바와 같이 금속-절연체-금속 커패시터 상에 형성되는 비아와 상, 하부 금속 배선을 연결하는 비아가 서로 다른 환경에 형성되게 되어 이중 다마신 공정시 선택비가 매우 높은 식각 공정이 요구되는 문제가 있다.
- <12> 먼저 도 1의 구조를 형성하기 위해서는, 절연막(2) 안에 하부 금속 배선(4)과 금속-절연체-금속 커패시터의 하부전극(6)이 동일 레벨에서 구리 다마신 방법에 의해 형성된다. 그 위에 커패시터 유전막(8)을 도포한 후 상부전극(10)을 형성하고 나서, 상부전극(10) 위로 캡핑막(12)을 증착한다. 금속간 절연막(14)을 형성한 후 이중 다마신 방법을 이용하여 하부 금속 배선(4)과 연결되는 비아(16a), 하부전극(6)과 연결되는 비아(18a), 상부전극(10)과 연결되는 비아(20a) 및, 그들 위의 상부 금속 배선(16b, 18b, 20b)을 형성한다.
- <13> 도 1의 구조에서는, 사용할 수 있는 유전막(8)의 종류가 제한된다. 커패시터의 유전막인 동시에 하부전극(6)으로 사용되는 구리의 확산방지막(diffusion barrier) 기능을 겸하여야 하기 때문에, 실제로 실리콘 나이트라이드 정도만 사용될 수 있다. 그리고, 하부전극(6)

은 다마신 단계에서 화학 기계적 연마가 진행된 것이므로 표면 모폴로지가 불량하다. 따라서, 금속-절연체-금속 커패시터 특성이 이 계면의 고결성(integrity)에 의해 좌우된다. 하부전극(6) 물질인 구리가 유전막(8) 안으로 확산하는 문제도 있다. 가장 큰 문제는 형태가 다른 두 종류의 비아가 존재한다는 것이다. 즉, 상, 하부 금속 배선을 연결하는 비아(16a, 18a)와, 금속-절연체-금속 커패시터 상에 형성되는 비아(20a)가 서로 다른 환경에 형성되게 되어 이중 다마신 공정시 매우 선택비가 높은 식각 공정이 요구된다. 선택비의 문제를 고려하여 비아(16a, 18a)와 비아(20a)를 따로따로 형성하려면 추가적인 마스크가 필요하게 되므로, 이중 다마신 공정의 변형이 불가피하다.

<14> 다음으로 도 2에서는, 절연막(22) 안에 하부 금속 배선(24)만 구리 다마신 방법에 의해 형성한다. 절연막(22) 위에 확산방지막(25)을 형성한 다음, TaN과 같은 물질로 금속-절연체-금속 커패시터의 하부전극(26)을 형성하고, 그 위에 커패시터 유전막(28)을 도포한 후 상부전극(30)을 형성하고 나서, 상부전극(30) 위로 캡핑막(32)을 증착한다. 금속간 절연막(34)을 형성한 후 이중 다마신 방법으로 하부 금속 배선(24)과 연결되는 비아(36a), 하부전극(26)과 연결되는 비아(38a), 상부전극(30)과 연결되는 비아(40a) 및, 그들 위의 상부 금속 배선(36b, 38b, 40b)을 형성한다.

<15> 도 2의 구조에서는 하부전극(26) 물질로 구리를 사용하지 않기 때문에 도 1의 구조와 비교하여 유전막(28)의 종류에 제한을 받지 않는다. 따라서, 향후 유전막(28)으로서 고유전 물질 사용시 유력한 구조이다. 그러나, 이 구조에서는 형태가 다른 세 종류의 비아(36a, 38a, 40a)가 존재하게 되어 고선택비를 가지는 식각 공정 또는 추가적인 사진 공정이 필요해지는 문제가 있다. 따라서, 역시 이중 다마신 공정의 변형이 불가피하다.

<16> 한편 종래의 다른 구조인 도 3에서는 AlCu로 하부 배선(42a, 42b)을 형성한 다음, 절연막(44)을 덮고 W로 된 단일 다마신 비아(46a, 46b, 46c)를 형성한 후 비아(46a, 46b) 상부에 하부전극(48), 유전막(50) 및 상부전극(52)으로 이루어진 금속-절연체-금속 커패시터를 형성하여, 비아(46a, 46b)를 통하여 하부전극(48)과 하부 배선(42a)을 연결한다. 1차 금속간 절연막(54) 증착 후 단일 다마신 방법으로 AlCu 배선(55)을 형성하고, 그 위로 2차 금속간 절연막(56)을 증착한다. 역시 단일 다마신 방법에 의해 2차 금속간 절연막(56) 안에 상부전극(52)과 연결되는 W 스퍼트(58a)와, AlCu 배선(55)에 연결되는 W 스퍼트(58b)를 형성한다.

<17> 이렇게 할 경우 도 1 및 도 2를 참조하여 설명한 것과 같은 서로 다른 형태의 비아 존재로 인한 식각 공정의 문제점은 제거할 수 있다. 그러나, 단일 다마신 공정을 여러 번 적용하여야 하므로 이중 다마신 공정의 변형이 불가피하며 금속-절연체-금속 커패시터 제조 공정에서 비아(46c)가 식각 분위기에 드러나게 되므로 수율 및 비아(46c)의 신뢰성에 문제를 가져올 수 있다. 이러한 문제를 해결하기 위해서는 금속-절연체-금속 커패시터의 아래에 형성되는 비아(46a, 46b)와 상, 하부 배선(42b, 55)을 연결하는 비아(46c)를 따로 형성하여야 하는데 이렇게 할 경우 사진 공정이 추가되는 부담이 있다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명이 이루고자 하는 기술적 과제는, 이중 다마신 공정을 그대로 유지하면서 마스크의 추가 사용없이 금속-절연체-금속 커패시터를 제조하여 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조를 제조하는 방법을 제공하는 것이다.

<19> 본 발명이 이루고자 하는 다른 기술적 과제는, 신뢰성이 우수한 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조를 제공하는 것이다.

【발명의 구성 및 작용】

<20> 상기 기술적 과제를 달성하기 위한 본 발명에 의한 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 제조방법에서는, 제1 및 제2 하부 금속 배선이 형성된 기판 상에 비아 레벨 금속간 절연막(IMD)을 형성한 다음, 상기 비아 레벨 금속간 절연막을 패터닝하여 금속-절연체-금속(MIM) 커패시터의 하부전극과 상기 제1 하부 금속 배선을 연결할 비아홀을 형성한다. 상기 기판 전면에서 커패시터 하부전극용 금속막, 커패시터 유전막과 상부전극용 금속막을 순차적으로 형성한 다음, 상기 비아홀 위쪽의 상기 하부전극용 금속막, 커패시터 유전막과 상부전극용 금속막을 패터닝하여 하부전극, 유전막 및 상부전극으로 이루어진 금속-절연체-금속 커패시터를 형성한다. 상기 금속-절연체-금속 커패시터를 포함한 비아 레벨 금속간 절연막 상에 트렌치 레벨 금속간 절연막을 형성한 다음, 상기 비아 레벨 금속간 절연막과 트렌치 레벨 금속간 절연막을 식각하여 상기 제2 하부 금속 배선을 노출시키는 이중 다마신 배선용 홈을 형성하는 동시에 상기 상부전극을 노출시키는 트렌치를 형성한다. 상기 이중 다마신 배선용 홈과 트렌치에 금속을 매립하여 상기 제2 하부 금속 배선에 연결된 이중 다마신 배선과 상기 상부전극에 직접 연결된 상부 금속 배선을 형성한다.

<21> 상기 다른 기술적 과제를 달성하기 위하여 본 발명에 의한 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조는, 기판 상에 순차 적층된 비아 레벨 금속간 절연막과 트렌치 레벨 금속간 절연막, 상기 비아 레벨 금속간 절연막과 트렌치 레벨 금속간 절연막 내에 형성된 이중 다마신 배선, 및 상기 비아 레벨 금속간 절연막과 트렌치 레벨 금속간 절연막 사이에 형성되며 하부전극, 유전막 및 상부전극으로 이루어진 금속-절연체-금속 커패시터를 포함한다.

- <22> 본 발명에 의하면, 이중 다마신 공정의 변형없이 금속-절연체-금속 커패시터를 제조할 수 있으며, 수율 및 신뢰성을 향상시킬 수 있다.
- <23> 기타 실시예의 구체적 사항들은 상세한 설명 및 도면들에 포함되어 있다.
- <24> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 설명한다. 본 발명의 목적 및 이점은 하기 설명에 의해 보다 명확하게 나타날 것이다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 동일한 부호는 시종 동일한 요소를 의미한다. 나아가, 도면에서의 다양한 요소와 영역은 개략적으로 그려진 것이다. 따라서, 본 발명은 첨부한 도면에 그려진 상대적인 크기나 간격에 의해 제한되어지지 않는다.
- <25> <제1 실시예>
- <26> 도 4 내지 도 10은 본 발명의 제1 실시예에 따른 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 및 그 제조방법을 설명하기 위한 공정 단면도들이다. 설명의 편의를 위하여, 후술되는 실시예에서의 배선 재료는 구리에 한정하여 설명하지만, 구리 대신에 알루미늄, 금, 은, 텅스텐 등의 다른 금속을 사용할 수도 있다.
- <27> 도 4를 참조하여, 기판(미도시) 위에 절연막(100)을 형성한 다음, 절연막(100) 내에 다마신 방법으로 금속을 채워 제1 및 제2 하부 금속 배선(105a, 105b)을 형성한다. 제1 및 제2 하부 금속 배선(105a, 105b)이 구리 배선인 경우, 절연막(100)과 제1 및 제2 하부 금속 배선

(105a, 105b)의 계면에 Ta, TaN, TaSiN, TiN, TiSiN, WN, WSiN 등으로 된 확산방지막을 스퍼터링법으로 더 형성하여 구리의 확산 및 산화를 방지하는 것이 좋다.

<28> 다음으로, PECVD(Plasma Enhanced CVD) 방법으로 실리콘 나이트라이드 등을 증착하여 확산방지막 식각저지막(110)을 형성한 다음, 비아 레벨 금속간 절연막(IMD)(115)을 증착한다. 비아 레벨 금속간 절연막(115)은 RC 지연을 감소시킬 수 있게 저유전 물질로 형성한다. 예를 들어, 블랙 다이아몬드, FSG(Fluorine Silicate Glass), SiOC, 폴리이미드 또는 SiLK™로 형성한다. 여기서, 식각저지막(110)의 두께는 500~1000Å, 예컨대 700Å 정도로 형성한다. 비아 레벨 금속간 절연막(115)의 두께는 4000~8000Å, 바람직하게는 6000Å 정도로 할 수 있으나, 게이트에 가까운 하단에 쓰이느냐, 게이트에 먼 상단에 쓰이느냐에 따라 두께를 조절할 수 있다.

<29> 그 위에 커패시터 패터닝 단계의 얼라인을 조절하기 위하여 마련하는 얼라인 키(alignment key)가 형성될 영역을 노출하는 개구부(A)와, 금속-절연체-금속 커패시터의 하부전극과 제1 하부 금속 배선(105a)을 연결할 비아가 형성될 영역을 노출하는 개구부(B)가 정의되도록 감광막(120)을 패터닝한다. 이 때, 비아 영역 개구부(B)는 홀(hole)이나 라인(line) 타입 둘 다 가능하나 바람직하게는 후속 공정에서 금속을 매립하는 관점에서 라인 타입이 유리하다. 이 분야에서 통상의 지식을 가진 자에게 잘 알려져 있듯이, 여기서의 얼라인 키란 비아 레벨 금속간 절연막(115)에 단차를 주어 후속 사진 공정에서 패터닝의 얼라인을 용이하게 제어할 수 있도록 형성하는 것을 말한다.

<30> 도 5를 참조하여, 감광막(120)을 마스크로 한 식각 과정으로 비아 레벨 금속간 절연막(115)을 패터닝하고, 콘택 영역의 노출을 위해 각 개구부 아래의 식각저지막(110)도 제거한다.

이와 같이, 커패시터 얼라인을 위한 얼라인 키(130)를 형성하는 동안 제1 하부 금속 배선(105a)을 연결할 비아홀(135)을 동시에 형성한다. 그런 다음 감광막(120)을 제거한다.

<31> 도 6을 참조하여, 비아 레벨 금속간 절연막(115) 전면에 커패시터 하부전극용 금속막(140), 커패시터 유전막(145)과 상부전극용 금속막(150)을 순차적으로 형성한다. 이 때, 하부전극이 비아홀(135)을 통해 제1 하부 금속 배선(105a)과 직접 콘택할 수 있도록, 하부전극용 금속막(140)은 비아홀(135)을 채우게끔 형성한다. 좁은 틈을 잘 채울 수 있도록 하기 위해서 CVD법이 적당할 것이다. 하부전극용 금속막(140)과 상부전극용 금속막(150)으로는 예컨대 Ta막, TaN막, TaSiN막, TiN막, TiSiN막, WN막 또는 WSiN막을 형성할 수 있다. 커패시터 유전막(145)으로는 실리콘 나이트라이드막 또는 실리콘 카바이드막을 형성할 수 있다. 여기서, 실리콘 나이트라이드막 또는 실리콘 카바이드막은 단독으로 형성될 수도 있으며, 소정의 산화막과 조합하여 이중막으로 형성될 수 있다. 물론, 이보다 유전율이 높은 하프늄 산화막, 알루미늄 산화막 등으로 형성할 수도 있다.

<32> 도 7을 참조하여, 상부전극용 금속막(150) 위에 금속-절연체-금속 커패시터를 형성하기 위한 감광막 패턴(155)을 형성하고, 이를 식각 마스크로 하여 전면 에치백(etch back)을 실시한다. 감광막 패턴(155)을 형성하는 데에 있어서, 얼라인 키(130)의 단차가 이용됨은 물론이다. 감광막 패턴(155)으로 피복되지 않은 부분의 하부전극용 금속막(140), 커패시터 유전막(145)과 상부전극용 금속막(150)이 식각되어 제거되므로, 감광막 패턴(155) 하부에만 하부전극(140a), 유전막(145a) 및 상부전극(150a)으로 이루어진 금속-절연체-금속 커패시터(160)가 형성된다. 전면 에치백의 이방성 식각 특성에 의해 단차 영역의 얼라인 키(130) 내벽에도 하부전극용 금속막(140b), 커패시터 유전막(145b), 상부전극용 금속막(150b)이 일부 잔류할

수 있다. 그러나, 여기에 연결되는 배선은 없으므로 도면에서와 같이 남겨두어도 무방하다. 이 때 금속-절연체-금속 커패시터(160) 하부를 제외한 다른 지역에서는 비아가 없으므로 종래 문제되던 금속-절연체-금속 커패시터 패터닝시의 비아 손상은 발생하지 않는다.

<33> 다음으로 도 8을 참조하여, 감광막 패턴(155)을 제거한 후, 금속-절연체-금속 커패시터(160) 패터닝시 금속-절연체-금속 커패시터(160) 측벽에 금속성 찌꺼기가 쌓인 것이 있으면 제거하기 위하여, 상부전극(150a) 에지쪽을 식각하여 그 면적을 축소시키는 단계를 더 포함하는 것이 바람직하다. 이로써, 금속-절연체-금속 커패시터(160')는 하부전극(140a), 유전막(145a) 및 유전막(145a)보다 면적이 축소된 상부전극(150a')으로 이루어진다. 그런 다음, 금속-절연체-금속 커패시터(160') 위로 실리콘 나이트라이드 혹은 실리콘 카바이드를 증착하여, 이중 다마신 공정을 위한 식각저지막(165)을 형성한다. 그러나, 식각저지막(165)은 생략되는 경우도 있다. 계속하여, 식각저지막(165) 위에 트렌치 레벨 금속간 절연막(170)을 형성한다. 트렌치 레벨 금속간 절연막(170)도 블랙 다이아몬드, FSG, SiOC, 폴리이미드 또는 SiLK™와 같이 RC 지연을 감소시킬 수 있게 저유전 물질로 형성한다. 트렌치 레벨 금속간 절연막(170)의 두께는 4000~7000 Å, 바람직하게는 5500 Å 정도로 형성할 수 있는데, 이 또한 위치에 따라 조절될 수 있다.

<34> 다음으로 도 9에서와 같이, 구리 이중 다마신의 일반적인 공정대로 비아 레벨 금속간 절연막(115)과 트렌치 레벨 금속간 절연막(170)을 식각하여 제2 금속 배

선(105b)을 노출시키는 이중 다마신 배선용 비아홀(175)과 도선 트렌치(180)를 형성한다. 이때, 이중 다마신 배선용 비아홀(175)을 먼저 형성한 다음 도선 트렌치(180)를 형성할 수 있다. 도선 트렌치(180)를 형성하는 동안 금속-절연체-금속 커패시터(160')의 상부전극(150a')을 노출시키는 트렌치(182)도 형성한다. 그러나, 도선 트렌치(180)를 먼저 형성한 다음에 이중 다마신 배선용 비아홀(175)을 형성하여도 무방하다.

<35> 도 9의 결과물에 대하여 구리 충전과 화학 기계적 연마를 실시한 후의 도면은 도 10과 같다. 도면의 참조번호 190은 구리 이중 다마신 배선, 192는 상부 금속 배선, 194는 얼라인 키(130) 부분의 단차 지역에 매립된 구리로 이루어진 더미 배선이다.

<36> 자세한 공정은 예컨대 다음과 같을 수 있다. 이중 다마신 배선용 비아홀(175)과 도선 트렌치(180), 그리고 트렌치(182)가 형성된 결과물을 세정한 다음, 그 위에 배리어 메탈막(미도시)을 형성한다. 배리어 메탈막은 이중 다마신 배선용 비아홀(175), 도선 트렌치(180) 및 트렌치(182)를 채울 구리가 주변으로 확산하는 것을 방지하는 막이다. 그 두께는 200 내지 1000 Å 정도로 형성할 수 있는데, 바람직하게는 450 Å 정도로 형성한다. 증착할 수 있는 막질로는 Ti, Ta, W, TiN, TaN, WN 등이 있다. 이들 막은 CVD 또는 스퍼터링으로 증착할 수 있다. 계속하여, 이중 다마신 배선용 비아홀(175)과 도선 트렌치(180) 및 트렌치(182) 안을 구리로 채운다. 구리를 채우는 데에는 스퍼터링이나 CVD가 흔히 사용되며 도금법(전기도금법과 무전해도금법을 포함)도 사용할 수 있다. 도금으로 형성할 때에는 씨드 금속막(미도시)을 먼저 배리어 메탈막 상에 형성하는 것이 양호한 결과를 가져온다. 씨드 금속막은 도금층의 균일성을 증가시키며 초기 핵 생성 자리 역할을 한다. 이러한 씨드 금속막의 두께는 500 내지 2500 Å 정도로 형성할 수 있으며, 바람직하게는 1500 Å 정도로 형성한다. 씨드 금속막의 증착은 주로 스퍼터링에 의하지만, CVD로 증착할 수도 있다. 스퍼터링 조건은 예컨대 기판 온도 0℃, 스퍼

터 파워 2kW, 압력 2mTorr로 하고 타겟과 기판간의 거리를 60mm로 한다. 씨드 금속으로는 Cu, Au, Ag, Pt, Pd 등이 사용된다. 도금으로 형성하려는 금속막의 종류와 도금법에 따라 적절한 종류의 씨드 금속을 선택하여 증착하도록 한다. 바로 도금한 상태의 구리층은 매우 작은 크기의 입자로 구성되어 있고 드문드문한 구조이기 때문에, 재결정(recrystallization)을 통해 입성장을 시켜 비저항을 감소시키기 위한 어닐링 공정을 진행하는 것이 좋다. 다음, 트렌치 레벨 금속간 절연막(170) 상면이 노출될 때까지 결과물 상면을 화학 기계적 연마로 평탄화시켜 이중 다마신 배선(190), 상부 금속 배선(192) 및 더미 배선(194)을 형성한다.

<37> 이와 같이, 비아 레벨 금속간 절연막(115) 형성 후 금속-절연체-금속 커패시터 얼라인을 위한 얼라인 키(130)를 형성하는 동안에 금속-절연체-금속 커패시터의 하부전극(140a)과 비아 레벨 금속간 절연막(115) 하부의 제1 하부 금속 배선(105a)을 연결하며, 금속-절연체-금속 커패시터의 상부전극(150a')은 구리 이중 다마신 공정 진행시 상부 금속 배선(192)과 직접 연결한다. 따라서, 별도의 사진 공정 추가 없이 금속-절연체-금속 커패시터 패터닝시 비아에 대한 공격을 막고 구리 이중 다마신 공정에 대한 변형없이 신뢰성이 우수한 금속-절연체-금속 커패시터를 포함하는 구리 배선 구조를 제조할 수 있다.

<38> 한편 도 10에서 볼 수 있는 바와 같이, 본 발명에 의한 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조는, 기판 상에 순차 적층된 비아 레벨 금속간 절연막(115)과 트렌치 레벨 금속간 절연막(170), 그들 내에 형성된 이중 다마신 배선(190), 및 비아 레벨 금속간 절연막(115)과 트렌치 레벨 금속간 절연막(170) 사이에 형성되며 하부전극(140a), 유전막(145a) 및 상부전극(150a')으로 이루어진 금속-절연체-금속 커패시터(160')를 포함한다.

<39> 이러한 구조의 특징은 첫째, 비아 레벨 금속간 절연막(115)을 형성한 위에 금속-절연체-금속 커패시터(160')가 형성되어 있다는 것인데, 특히 하부전극(140a)이 제1 하부 금속 배선

(105a)에 직접 접촉되어 있다는 것이다. 즉, 하부전극(140a)과 비아가 일체로 형성된 것이다. 둘째, 본 발명의 제조방법의 특징상, 비아 레벨 금속간 절연막(115) 안에 금속-절연체-금속 커패시터 어레이를 위한 어레이 키(130)가 더 포함되어 있으며, 그 내벽에 하부전극용 금속막(140b), 유전막(145b)과 상부전극용 금속막(150b)을 더 포함할 수도 있으며, 그 위쪽으로 더미 배선(194)을 더 포함할 수 있다는 것이다. 셋째, 상부전극(150a')을 비아 없이 상부 금속 배선(192)으로 곧바로 연결할 수 있다. 넷째, 비아(137a)와 이중 다마신 배선(190)을 서로 다른 물질로 형성할 수 있다. 즉, 비아(137a)를 다마신 공정 대비 단순하고 비용이 적게 드는 CVD, 스퍼터링 등으로 만들 수 있는 이점이 있다.

<40> 이러한 구조에 의하면, 금속-절연체-금속 커패시터 형성으로 인한 이중 다마신 공정의 변경을 제거할 수 있으며 이상적인 금속-절연체-금속 커패시터 제작이 가능해진다. 또한, 상부전극에 연결되는 상부 금속 배선을 형성하기 위한 트렌치와 구리 이중 다마신 배선의 도선 트렌치를 형성할 때의 식각 조건이 트렌치 레벨 금속간 절연막(170)과 식각저지막(165)으로 동일하고, 커패시터 형성시 손상 받는 비아가 없으므로 구리 이중 다마신 공정의 안정성(stability)을 높일 수 있다.

<41> <제2 실시예>

<42> 도 11 내지 도 13은 본 발명의 제2 실시예에 따른 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 및 그 제조방법을 설명하기 위한 공정 단면도들이다. 제2 실시예는 제1 실시예의 변형 공정에 관한 것이다.

<43> 먼저 도 5를 참조하여 설명한 단계까지 진행한다. 다음에 도 11에 도시한 것과 같이, 비아 레벨 금속간 절연막(115) 전면에 금속막(137)을 CVD 등의 방법으로 증착하여 비아홀(135)을 완전히 채운다.

<44> 그런 다음, 도 12에서와 같이 에치백이나 화학 기계적 연마 공정을 통하여 제1 하부 금속 배선(105a)에 연결된 비아(137a)를 완성한다. 도면에서와 같이 얼라인 키(130) 내벽에 금속막(137b)이 남을 수도 있으나, 이것에 연결되는 배선이 따로 없으므로 남겨두어도 무방하다. 그런 다음, 하부전극용 금속막, 커패시터 유전막, 상부전극용 금속막을 순차적으로 적층한 후 패터닝하여, 비아(137a)와 연결되는 하부전극(140a), 유전막(145a) 및 상부전극(150a')으로 이루어진 금속-절연체-금속 커패시터(160')를 형성한다. 이와 같이 본 실시예는 별도의 공정으로 형성한 비아(137a) 위에 금속-절연체-금속 커패시터(160')를 형성하는 것을 주요 내용으로 한다. 후속 공정은 도 8 내지 도 10을 참조하여 설명한 것과 마찬가지로 진행하며, 도 13의 결과물을 얻는다.

<45> <제3 실시예>

<46> 도 14 내지 도 16은 본 발명의 또 다른 실시예에 따른 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조를 보이는 단면도들이다. 본 실시예에서는 금속-절연체-금속 커패시터 전극 형태의 다양한 변형 구조에 대하여 설명한다. 도 14 내지 도 16에 보인 구조들은 제2 실시예에서 설명한 공정을 바탕으로 한 것이다. 그러나, 이 구조들은 제1 실시예에서 설명한 공정을 바탕으로 하여도 되고, 어떤 공정을 이용하든 동일하게 형성할 수 있다.

<47> 먼저 도 14는, 하부전극용 금속막(140), 커패시터 유전막(145), 상부전극용 금속막(150)을 하나의 마스크를 사용한 공정으로 패터닝하여 면적이 서로 동일한 하부전극(140a), 유전막

(145a) 및 상부전극(150a)으로 이루어진 금속-절연체-금속 커패시터(160)를 형성한 구조를 나타낸다. 도 14에 나타낸 구조는 상부전극(150a)의 에지를 식각하는 과정이 필요 없으므로 나머지 구조에 비하여 마스크를 하나 줄일 수 있는 장점이 있다.

<48> 다음에 도 15는, 하부전극용 금속막을 먼저 형성한 다음 패터닝하여 만든 하부전극(140a) 위에 커패시터 유전막(145)과 상부전극용 금속막(150)을 적층한 후 한꺼번에 패터닝하여, 하부전극(140a), 유전막(145a') 및 상부전극(150a'')으로 이루어진 금속-절연체-금속 커패시터(160'')를 형성한 구조를 나타낸다.

<49> 그리고 도 16은 금속-절연체-금속 커패시터(160) 위로 비아 레벨 금속간 절연막(115) 전면 에 식각저지막(165)을 형성하는 대신에, 금속-절연체-금속 커패시터(160)만을 피복하도록 확산방지막(167)을 형성한 상태를 도시한다. 도 16의 구조 역시, 상부전극(150a)의 에지를 식각하는 과정이 필요 없으므로 나머지 구조에 비하여 마스크를 하나 줄일 수 있는 장점이 있다.

<50> <제4 실시예>

<51> 도 17은 본 발명의 또 다른 실시예에 따른 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조를 보이는 단면도이다.

<52> 도 17을 참조하면, 기판(200) 상에 소자분리막(STI)(202)이 형성되어 있고 게이트 전극(204)이 형성되어 있다. 이러한 기본 구조 위에는 각종 배선들을 포함하고 있는 층간절연막(L0, L1, ..., L7)과 금속간 절연막(L8, L9)이 형성되어 있다. 층간절연막(L0)의 두께는 2000~5000Å 정도이고, 층간절연막(L1, ..., L7)의 두께는 각기 6000~10000Å 정도이다. 금속간 절연막(L8, L9)의 두께는 각기 8000~15000Å 정도이다.

<53> 층간절연막(L7) 내에 형성된 제1 하부 금속 배선(205a)에는 비아와 일체로 금속간 절연막(L8) 상에 형성된 하부전극(240a)이 연결되어 있으며, 이는 유전막(245a) 및 상부전극(250a')과 함께 금속-절연체-금속 커패시터(260')를 구성한다. 또한, 층간절연막(L7) 내에 형성된 제2 하부 금속 배선(205b)에는 금속간 절연막(L8) 내에 형성된 이중 다마신 배선(290)이 연결되어 있다. 하부전극(240a), 유전막(245a) 및 상부전극(250a') 각각의 두께는 각기 300~1000Å 정도일 수 있다.

<54> 금속간 절연막(L9) 내에는 최종적인 금속 배선들이 형성되어 있으며, 두 층의 패시베이션막(P1, P2)으로 피복된 위에 외부 단자에 연결하기 위한 Al 패드(302, 304)가 형성되어 있다.

<55> 이상 특정 실시예에 관하여 설명하였지만, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 많은 수정 및 변형이 가능함은 명백하다. 따라서, 본 발명의 범주는 첨부된 청구범위 및 그들의 등가물에 의해 정해져야 할 것이다.

【발명의 효과】

<56> 이상 상술한 바와 같이, 본 발명에서는 금속-절연체-금속 커패시터를 비아 레벨 금속간 절연막 상에 형성하고 금속-절연체-금속 커패시터 어라인을 위한 키 사진 공정을 이용하여 금속-절연체-금속의 하부전극과 하부 금속 배선을 연결할 수 있도록 한다. 이로써, 사진 공정의 추가 없이 금속-절연체-금속 커패시터 형성으로 인한 이중 다마신 공정의 변경을 제거할 수 있으며 이상적인 금속-절연체-금속 커패시터 제작이 가능해진다. 또한, 구리 이중 다마신 공정의 안정성을 높일 수 있다.

【특허청구범위】

【청구항 1】

제1 및 제2 하부 금속 배선이 형성된 기판 상에 비아 레벨 금속간 절연막(IMD)을 형성하는 단계;

상기 비아 레벨 금속간 절연막을 패터닝하여 금속-절연체-금속(MIM) 커패시터의 하부전극과 상기 제1 하부 금속 배선을 연결할 비아홀을 형성하는 단계;

상기 기판 전면에서 커패시터 하부전극용 금속막, 커패시터 유전막과 상부전극용 금속막을 순차적으로 형성하는 단계;

상기 비아홀 위쪽의 상기 하부전극용 금속막, 커패시터 유전막과 상부전극용 금속막을 패터닝하여 하부전극, 유전막 및 상부전극으로 이루어진 금속-절연체-금속 커패시터를 형성하는 단계;

상기 금속-절연체-금속 커패시터를 포함한 비아 레벨 금속간 절연막 상에 트렌치 레벨 금속간 절연막을 형성하는 단계;

상기 비아 레벨 금속간 절연막과 트렌치 레벨 금속간 절연막을 식각하여 상기 제2 하부 금속 배선을 노출시키는 이중 다마신 배선용 홈을 형성하는 동시에 상기 상부전극을 노출시키는 트렌치를 형성하는 단계; 및

상기 이중 다마신 배선용 홈과 트렌치에 금속을 매립하여 상기 제2 하부 금속 배선에 연결된 이중 다마신 배선과 상기 상부전극에 연결된 상부 금속 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 제조방법.

【청구항 2】

제1항에 있어서, 상기 제1 및 제2 하부 금속 배선은

상기 기판 상에 절연막을 형성하는 단계; 및

상기 절연막 안에 다마신 방법으로 금속을 채워 상기 제1 및 제2 하부 금속 배선을 형성하는 단계를 거쳐 형성하는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 제조방법.

【청구항 3】

제1항에 있어서, 상기 비아홀은 홀(hole) 형상으로 형성하는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 제조방법.

【청구항 4】

제1항에 있어서, 상기 비아홀은 라인(line) 형상으로 형성하는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 제조방법.

【청구항 5】

제1항에 있어서, 상기 제1 및 제2 하부 금속 배선과 상기 비아 레벨 금속간 절연막 사이, 상기 비아 레벨 금속간 절연막과 상기 트렌치 레벨 금속간 절연막 사이에 식각저지막을 형성하는 단계들을 더 포함하는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 제조방법.

【청구항 6】

제1항에 있어서, 한번의 마스크 공정으로 상기 금속-절연체-금속 커패시터를 형성한 다음, 상기 상부전극의 에지쪽을 식각하여 상기 상부전극의 면적을 축소시키는 단계를 더 포함하

는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 제조방법.

【청구항 7】

제1항에 있어서, 상기 하부전극이 상기 비아홀을 통해 상기 제1 하부 금속 배선과 직접 콘택하도록 형성하는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 제조방법.

【청구항 8】

제1항에 있어서, 상기 비아홀을 형성한 다음, 상기 비아홀에 도전물질을 채우고 평탄화시켜 상기 하부전극과 상기 제1 하부 금속 배선을 연결하는 비아를 형성하는 단계를 더 포함하는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 제조방법.

【청구항 9】

제1항에 있어서, 상기 이중 다마신 배선용 홈을 형성할 때에는 비아홀을 먼저 형성하는 이중 다마신 공정을 이용하여 비아홀과 도선 트렌치를 형성하는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 제조방법.

【청구항 10】

제9항에 있어서, 상기 도선 트렌치를 형성하는 동안 상기 상부전극을 노출시키는 트렌치를 형성하는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 제조방법.

【청구항 11】

제1항에 있어서, 상기 이중 다마신 배선용 홈을 형성할 때에는 도선 트렌치를 먼저 형성하는 이중 다마신 공정을 이용하여 비아홀과 도선 트렌치를 형성하는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 제조방법.

【청구항 12】

제1항에 있어서, 상기 이중 다마신 배선은 구리, 금, 은, 텅스텐 중의 한가지 또는 이들의 합금으로 형성하는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 제조방법.

【청구항 13】

제1항에 있어서, 상기 금속-절연막-금속 커패시터의 하부전극과 상기 제1 하부 금속 배선을 연결할 비아홀을 형성하는 동안, 상기 비아 레벨 금속간 절연막을 패터닝하여 금속-절연체-금속 커패시터 얼라인을 위한 얼라인 키를 형성하는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 제조방법.

【청구항 14】

제13항에 있어서, 상기 금속-절연체-금속 커패시터를 형성하는 단계는 이방성 전면 에치백에 의하여 상기 얼라인 키 내벽에 상기 하부전극용 금속막, 커패시터 유전막과 상부전극용 금속막을 남기는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 제조방법.

【청구항 15】

제13항에 있어서, 상기 이중 다마신 배선과 상부 금속 배선을 형성하는 동안 상기 열라인 키 위쪽에도 금속을 채워 더미 배선을 형성하는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조 제조방법.

【청구항 16】

기판 상에 순차 적층된 비아 레벨 금속간 절연막(IMD)과 트렌치 레벨 금속간 절연막;

상기 비아 레벨 금속간 절연막과 트렌치 레벨 금속간 절연막 내에 형성된 이중 다마신 배선; 및

상기 비아 레벨 금속간 절연막과 트렌치 레벨 금속간 절연막 사이에 형성되며 하부전극, 유전막 및 상부전극으로 이루어진 금속-절연체-금속(MIM) 커패시터를 포함하는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조.

【청구항 17】

제16항에 있어서,

상기 기판과 상기 비아 레벨 금속간 절연막 사이에 형성된 제1 및 제2 하부 금속 배선;

상기 하부전극과 상기 제1 하부 금속 배선을 연결하기 위해 상기 비아 레벨 금속간 절연막 내에 구비된 비아; 및

상기 상부전극 위에 연결된 상부 금속 배선을 더 포함하고,

상기 이중 다마신 배선은 상기 제2 하부 금속 배선에 연결된 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조.

【청구항 18】

제17항에 있어서,

상기 제1 및 제2 하부 금속 배선은 상기 기판 상에 형성된 절연막 안에 매립된 다마신 배선인 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조.

【청구항 19】

제17항에 있어서, 상기 비아는 홀 안에 채워진 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조.

【청구항 20】

제17항에 있어서, 상기 비아는 라인(line) 안에 채워진 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조.

【청구항 21】

제16항에 있어서, 상기 하부전극, 유전막 및 상부전극은 동일한 면적으로 패터닝된 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조.

【청구항 22】

제16항에 있어서, 상기 상부전극은 상기 하부전극과 커패시터 유전막보다 좁은 면적으로 패터닝된 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조.

【청구항 23】

제17항에 있어서, 상기 비아는 상기 하부전극과 일체로 형성된 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조.

【청구항 24】

제16항에 있어서, 상기 비아 레벨 금속간 절연막 안에 금속-절연체-금속 커패시터 열라인을 위해 단차를 이용한 열라인 키를 더 포함하는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조.

【청구항 25】

제24항에 있어서, 상기 열라인 키 내벽에 상기 하부전극용 금속막, 상기 유전막과 상기 상부전극용 금속막을 더 포함하는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조.

【청구항 26】

제24항에 있어서, 상기 열라인 키 위쪽으로 더미 배선을 더 포함하는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조.

【청구항 27】

제16항에 있어서, 상기 이중 다마신 배선은 구리, 금, 은, 텅스텐 중의 한가지 또는 이들의 합금으로 형성되어 있는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조.

【청구항 28】

제17항에 있어서, 상기 비아와 상기 이중 다마신 배선이 서로 다른 물질로 되어 있는 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조.

【청구항 29】

제16항에 있어서,

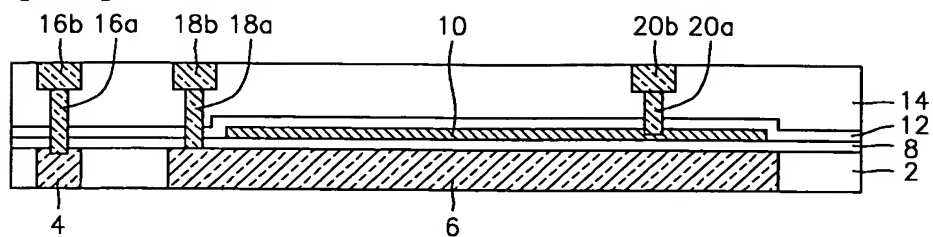
상기 기판과 상기 비아 레벨 금속간 절연막 사이에 형성된 제1 및 제2 하부 금속 배선;
및

상기 상부전극 위에 연결된 상부 금속 배선을 더 포함하고,

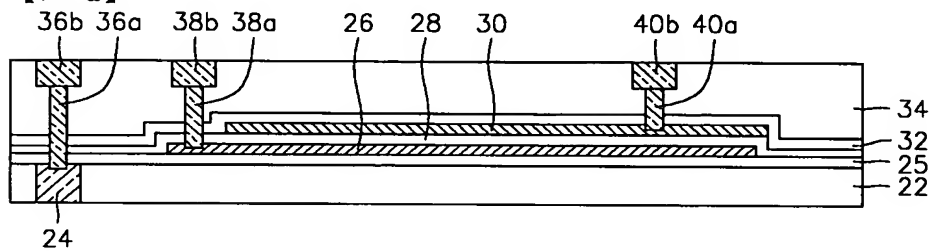
상기 하부전극은 상기 제1 하부 금속 배선에 직접 연결되어 있고 상기 이중 다마신 배선은 상기 제2 금속 배선에 연결된 것을 특징으로 하는 금속-절연체-금속 커패시터를 포함하는 이중 다마신 배선 구조.

【도면】

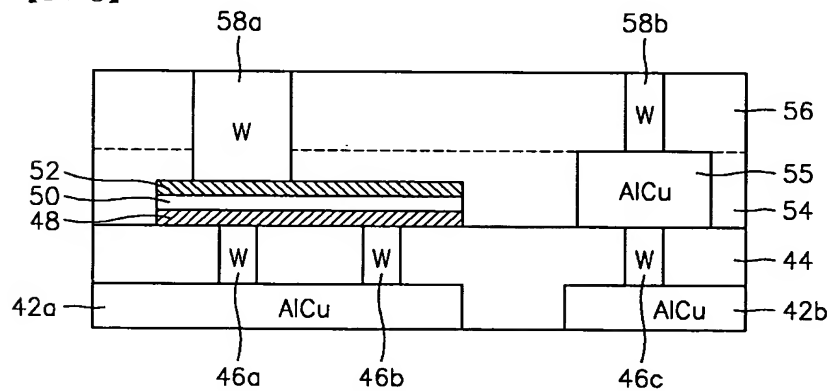
【도 1】



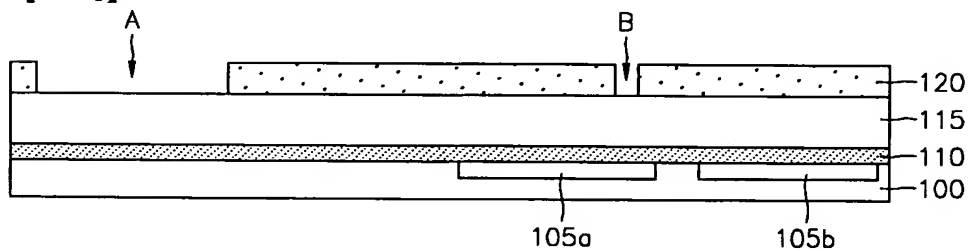
【도 2】



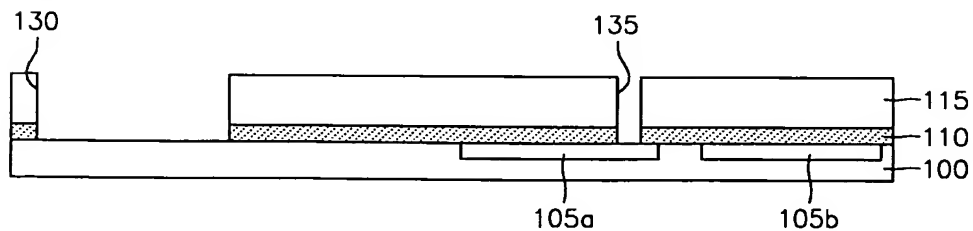
【도 3】



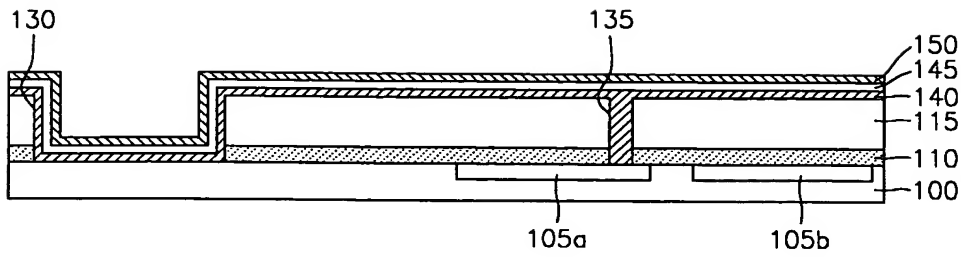
【도 4】



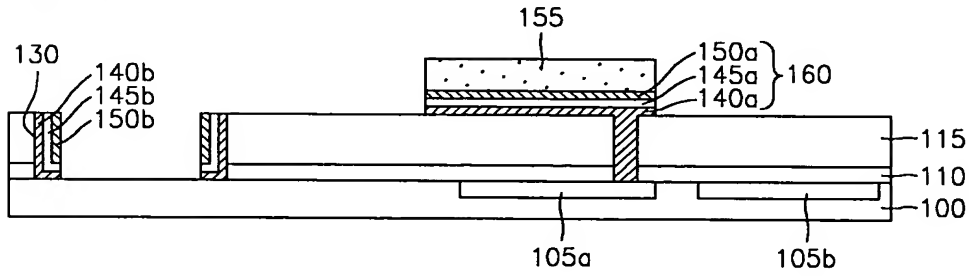
【도 5】



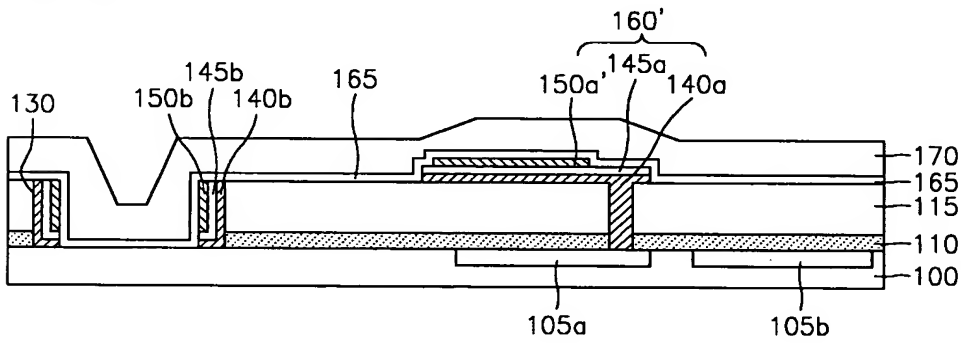
【도 6】



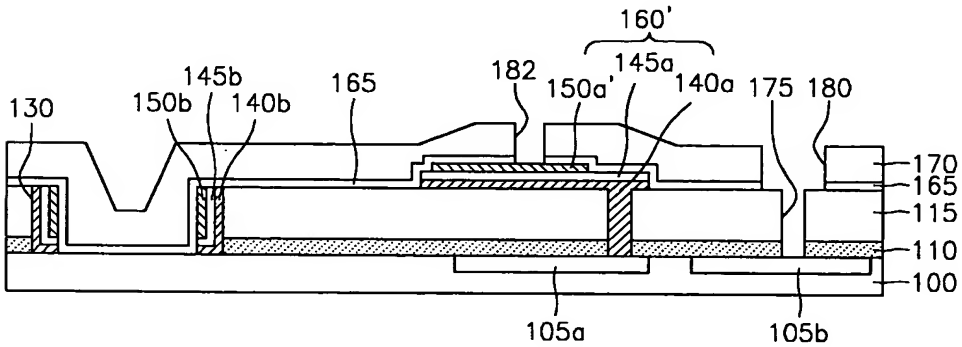
【도 7】



【도 8】



【도 9】

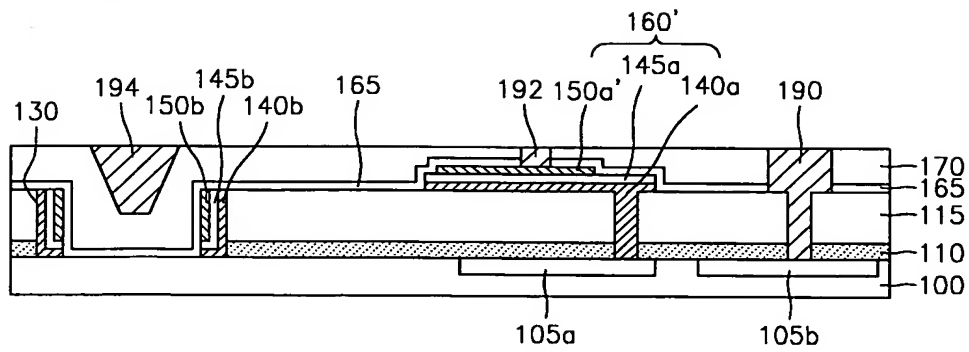




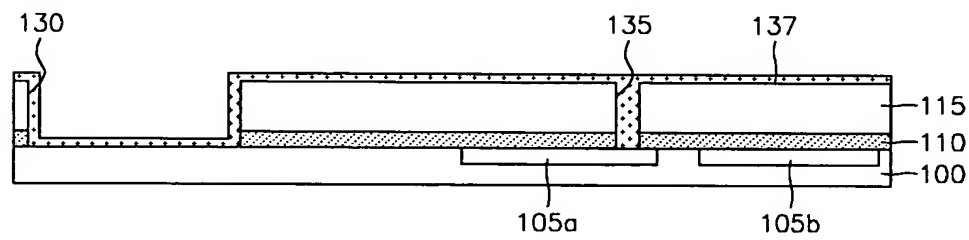
1020030021036

출력 일자: 2003/11/12

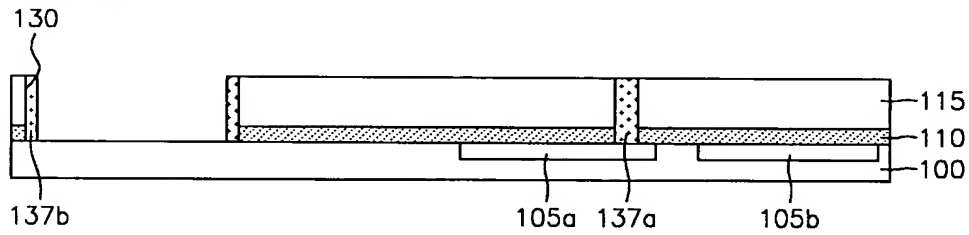
【도 10】



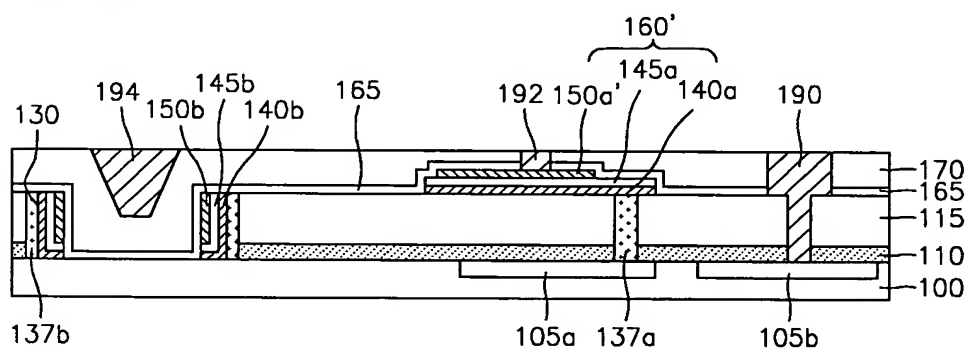
【도 11】



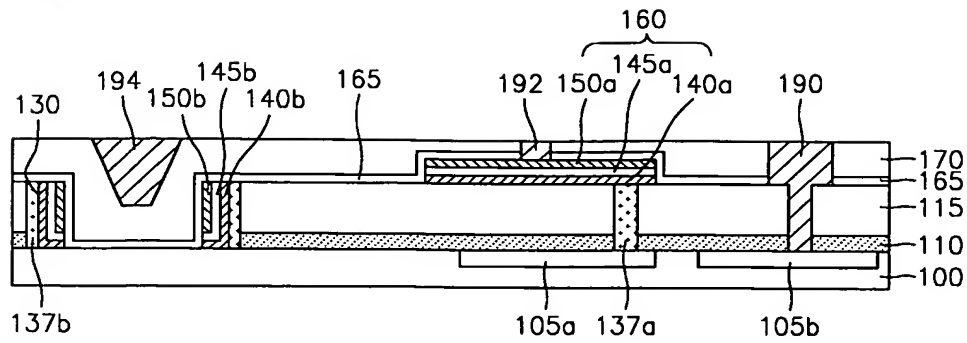
【도 12】



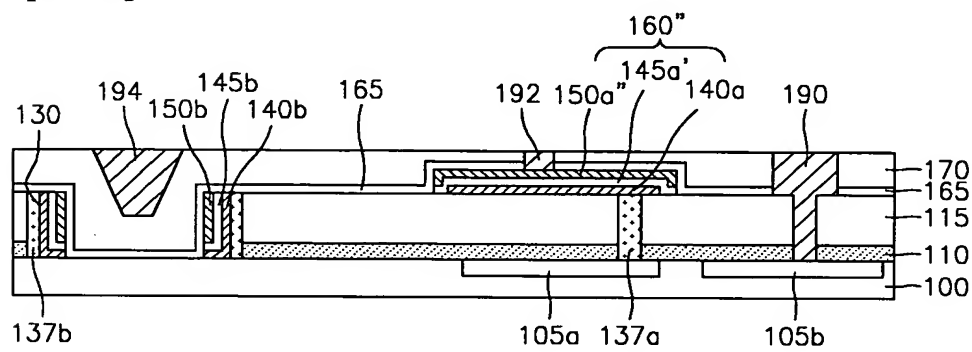
【도 13】



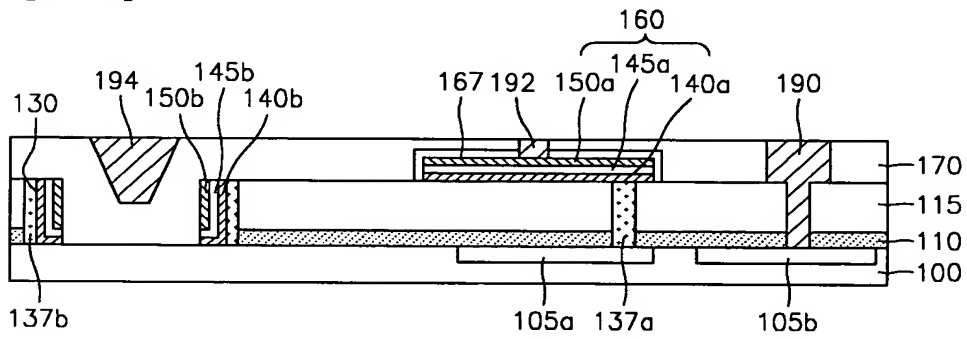
【도 14】



【도 15】



【도 16】



【도 17】

